

Korean Industrial Property Office

PUBLICATION (Extracted translation)

Publication Date: 15 July 1999
Publication No.: 1999-0055204 (patent)
Application Date: 27 December 1997
Application No.: 10-1997-0075116 (patent)
Applicant: Hyundai Electronic Industry Co., Ltd.

Title of the Invention: METHOD OF FORMING CAPACITOR OF
SEMICONDUCTOR DEVICE

Abstract: A method of forming a capacitor in which an anti-oxidation film is formed on a lower electrode even at low temperature and is formed with the tool used to form a dielectric film, is provided. In the method, an anti-oxidation film is obtained by forming a lower electrode, depositing a Ta_2O_3 film on the lower electrode with the tool used in forming a dielectric film before forming the dielectric film, and transferring the Ta_2O_3 film to a TaO_2N_y film by plasmarizing an NH_3 gas. The method has advantages in that an anti-oxidation film is formed on a lower electrode even at low temperature and volatilization of a device can be prevented. Further, the anti-oxidation film can be formed with the tool used to form a dielectric film and, therefore, it is possible to reduce pollution and enhance the reliability of a device.

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁵

H01L 27/10

(11) 공개번호

특1999-0055204

(43) 공개일자

1999년 07월 15일

(21) 출원번호 10-1997-0075116

(22) 출원일자 1997년 12월 27일

(71) 출원인 현대전자산업 주식회사 김영환

(72) 발명자

경기도 이천시 부발읍 아미리 산 136-1

김경민

경기도 안양시 만안구 안양5동 708 현대아파트 101-1112

박기선

경기도 이천시 창전동 성환빌라 나동 303호

임찬

경기도 이천시 대월면 사동리 현대산업개발 5차아파트 502-1702

(74) 대리인

박해천, 원석희

심사청구 : 없음

(54) 반도체 장치의 캐패시터 형성 방법

요약

본 발명은 저온에서 캐패시터의 하부전극 산화방지막을 형성할 수 있고, 유전막 형성 장비와 동일한 장비에서 캐패시터의 하부전극 산화방지막을 형성할 수 있는 캐패시터 형성 방법에 관한 것으로, 본 발명은 하부전극을 형성한 후, 유전막을 형성하기 위한 장비 내에서 유전막을 형성하기 전에 하부전극 상에 탄탈륨산화막(Ta_2O_5)을 증착한 다음 NH_3 가스를 플라즈마 여기시켜 Ta_2O_5 막을 Ta_2O_3 막으로 전이시킴으로써 캐패시터의 하부전극 산화방지막을 형성하는 것으로 이루어진다. 이에 의해, 저온에서 하부전극 상에 산화방지막을 형성하는 것이 가능하며 소자의 열화를 방지할 수 있고, 산화방지막 형성 공정과 유전막 형성 공정을 동일한 장비에서 실시할 수 있으므로 오염을 줄일 수 있어 소자의 신뢰도를 향상시킬 수 있다.

도표도

도3

명세서

도면의 관용관 설명

도1 내지 도4는 본 발명의 일실시예에 따른 캐패시터 형성 공정 단면도

* 도면의 주요 부분에 대한 설명

10: 반도체 기판	11, 12: 절연막
13, 15, 19: 폴리실리콘막	14: 산화막
15': 폴리실리콘 스페이서	16: TaQN막
17: 유전막	18: TiN막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 제조 방법에 관한 것으로, 특히 반도체 장치의 캐패시터 형성 방법에 관한 것이다.

캐패시터의 충분한 정전용량을 확보하여 소자를 안정적으로 구동시키기 위하여 Ta_2O_5 , TiO_2 , $SrTiO_3$, $(Ba, Sr)TiO_3$ 등과 같이 비교적 유전율이 큰 물질에 대한 연구가 활발히 진행되고 있다. 이러한, 고유전을 물질은 산소분위기에서 증착되고 또한, 후속 공정으로 고온열처리 과정이 수반되므로 캐패시터 하부전극의 산화저항성 향상 및 누설 전류 감소를 위한 방법이 필요하다.

종래의 하부전극 산화방지를 위한 방법은, 폴리실리콘으로 하부전극 형성한 후, 하부전극 표면에 존재하는 자연산화막을 제거하기 위하여 불산(HF) 용액으로 적당한 시간동안 처리한 다음, 암모니아(NH_3) 분위기에서 850 °C 내지 950 °C 온도로 30초 내지 1분간 급속열처리하여 하부전극을 이루는 폴리실리콘막 계면에 수십 Å 두께의 실리콘질화막(Si_3N_4)을 형성함으로써, 산소분위기에서 Ta_2O_5 등과 같은 유전막을 형성하는 과정에서 하부전극 표면에 실리콘산화막(SiO_2)이 형성하는 것을 방지한다.

그러나, 암모니아(NH_3) 분위기에서 급속열처리하는 과정은 고온에서 이루어지므로 반도체 기판 상에 이미 형성되어 있는 트랜지스터 등과 같은 소자의 특성을 열화시켜 반도체 소자의 신뢰성을 저하시키는 단점이 있으며, 또한 암모니아(NH_3) 분위기에서 급속열처리하는 과정과 유전막 형성 과정을 동일한 장비에서 수행하는 것이 어려워 공정이 복잡하고, 암모니아(NH_3) 분위기에서 급속열처리하는 과정과 유전막 형성 공정 사이에 기판이 공기 중에 노출되는 것을 피할 수 없으므로 탄소 화합물이나 수증기 등으로 인하여 기판이 오염될 우려가 있다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은, 저온에서 캐패시터의 하부전극 산화방지막을 형성할 수 있는 캐패시터 형성 방법을 제공하는데 그 목적이 있다. 또한, 유전막 형성 장비와 동일한 장비에서 캐패시터의 하부전극 산화방지막을 형성할 수 있는 캐패시터 형성 방법을 제공하는데 다른 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은, 캐패시터 형성 방법에 있어서, 기판 상에 하부전극을 형성하는 단계; 상기 하부전극 상에 산화방지막을 형성하기 위하여 Ta_2O_5 막을 형성하는 단계; 상기 Ta_2O_5 막을 질소를 포함한 가스로 처리하여 TaO_xN_y 막으로 전이시키는 단계; 상기 TaO_xN_y 막 상에 유전막을 형성하는 단계; 및 상기 유전막 상에 상부전극을 형성하는 단계를 포함하여 이루어진다.

본 발명은 하부전극을 형성한 후, 유전막을 형성하기 위한 장비 내에서 유전막을 형성하기 전에 하부전극 상에 탄탈륨산화막(tantalum oxide, Ta_2O_5)을 증착한 다음 NH_3 가스를 플라즈마 여기시켜 Ta_2O_5 막을 처리해서 TaO_xN_y 막으로 전이시킴으로써 캐패시터의 하부전극 산화방지막을 형성하는 방법이다.

이하, 본 발명의 일 실시예에 따른 캐패시터 형성 공정 단면도인 도1 내지 도4를 참조하여 본 발명의 일 실시예를 설명한다.

먼저, 도1에 도시한 바와 같이 반도체 기판(10) 상에 절연막(11)을 형성하고 선택적으로 식각하여 반도체 기판(10) 표면을 노출하는 콘택홀을 형성한 후, 반도체 기판(10) 전면에 절연막(12)을 형성하고 전면 식각하여 콘택홀 측벽에 스페이서 형태로 절연막(12)이 남도록 한다. 이어서, 반도체 기판(10) 전면에 제1 폴리실리콘막(13)을 형성하여 콘택홀 내부를 채우고, 제1 폴리실리콘막(13) 상에 하부전극 패턴을 형성하기 위한 산화막(14)을 형성한다.

다음으로, 도2에 도시한 바와 같이 산화막(14) 및 제1 폴리실리콘막(13)을 패터닝하고, 반도체 기판(10) 전면에 제2 폴리실리콘막(15)을 형성한다. 이때 제2 폴리실리콘막(15)이 산화막(14) 및 제1 폴리실리콘(13)막 패턴의 측벽을 감싸도록 한다.

다음으로, 도3에 도시한 바와 같이 제2 폴리실리콘막(15)을 식각하여 산화막(14) 및 제1 폴리실리콘막(13) 패턴의 측벽에 폴리실리콘 스페이서(15')를 형성하고, 산화막(14)을 제거하여 제1 폴리실리콘막(13)을 노출시켜, 노출된 제1 폴리실리콘막(13)과 폴리실리콘 스페이서(15')로 이루어지는 하부전극을 형성한다.

다음으로, 도4에 도시한 바와 같이 반도체 기판(10) 전면에 제1 폴리실리콘막(13) 및 폴리실리콘 스페이서(15')의 산화를 방지하기 위하여, 반도체 기판(10) 전면에 Ta_2O_5 막을 저압화학기상증착법(low pressure chemical vapor deposition)으로 형성하고, NH_3 가스를 이용한 플라즈마로 Ta_2O_5 막을 처리하여 TaO_xN_y 막(16)으로 전이되도록 한다. 이어서, TaO_xN_y 막(16) 상에 캐패시터의 유전막으로 Ta_2O_5 막(17)을 형성하고, 누설전류를 감소시키기 위하여 100 sccm 내지 10 slm의 N_2O 를 Ta_2O_5 막 형성 챔버 내에 인입하고 5분 내지 20분 동안 상기 Ta_2O_5 막(17)을 플라즈마 처리한다. 이어서, 상기 Ta_2O_5 막(17)을 결정화시키기 위하여 100 sccm 내지 10 slm의 산소 분위기의 관상로(furnace)에서 10분 내지 60분 동안 열처리한다. 다음으로, Ta_2O_5 막(17) 상에 상부전극을 형성하기 위하여 TiN막(18) 제3 폴리실리콘막(19)을 형성한다.

상기 Ta_2O_5 막 증착은, 기판 온도를 250 °C 내지 750 °C로 유지하고, 탄탈륨에톡사이드($Ta(C_2H_5O)_5$) 액체소스를 0.002 cc/min 내지 2.5 cc/min의 유속으로 기화기(vaporizer)내로 공급시키면서 기화기의 온도를 120 °C 내지 190 °C로 유지하고, 캐리어 가스(carrier gas)로 10 sccm 내지 1000 sccm의 질소(N_2)를 기화기 내에 유입하여 기화된 액체 소스를 반응기내로 주입시키면서 산소(O_2) 가스를 10 sccm 내지 1000 sccm의 유량으로 반응기로 주입하여 Ta_2O_5 막을 5 Å 내지 50 Å 두께로 형성한다. 이때 반응기의 압력은 10 mTorr 내지 10 Torr가 되도록 한다.

또한, NH_3 가스로 Ta_2O_5 막을 처리하는 과정은 반도체 기판(10)과 RF 전극이 5 mm 내지 15 mm의 간격을 두고 위치하도록 하고, 100 sccm 내지 1 slm의 NH_3 가스를 반응기에 주입하여 반응기의 압력을 10 mTorr 내지 10 Torr로 유지한 상태에서 50 W 내지 500 W의 RF 전력을 10 초 내지 5 분 동안 인가한다. NH_3 가스에 N_2O 가스를 혼합하기도 하는데, 이때 N_2O 가스의 혼합비율은 10 %를 넘지 않도록 하며, 50 W 내지 600 W의 RF 전력을 인가하며 반응기의 압력은 10 mTorr 내지 10 Torr가 되도록 유지한다. 또한, 상기 NH_3 가스를 대신하여 N_2 가스를 이용할 수도 있다.

전술한 본 발명의 일 실시예에서, 상기 TiN막(17) 대신 W_N 막을 증착할 수도 있으며, TiN막 및 W_N 막은 화학기상증착법 또는 물리 증착법으로 형성한다. 또한, RF 플라즈마 대신 ECR 플라즈마 또는 ICP 플라즈마를 이용할 수도 있다. 그리고, 상

기 유전막을 TiO_2 , NbO_2 , ZrO_2 , $(Ba, Sr)TiO_3$ 등으로 형성할 수도 있으며, 상기 Ta_2O_5 막은 LPCVD(low pressure chemical vapor deposition), PECVD(plasma enhanced chemical vapor deposition) 또는 스퍼터링(sputtering)법으로 형성한다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같이 이루어지는 본 발명은 저온에서 강유전체 캐패시터의 하부전극 상에 산화방지막을 형성하는 것이 가능하여 소자의 열화를 방지할 수 있고, 산화방지막 형성 공정과 유전막 형성 공정을 동일한 장비에서 실시할 수 있어 오염을 줄일 수 있으므로 소자의 신뢰도를 향상시킬 수 있다.

(57) 청구의 범위

청구항 1. 기판 상에 하부전극을 형성하는 단계;

상기 하부전극 상에 산화방지막을 형성하기 위하여 Ta_2O_5 막을 형성하는 단계;

상기 Ta_2O_5 막을 질소를 포함한 가스로 처리하여 TaO_xN_y 막으로 전이시키는 단계;

상기 TaO_xN_y 막 상에 유전막을 형성하는 단계; 및

상기 유전막 상에 상부전극을 형성하는 단계를 포함하여 이루어지는 반도체 장치의 캐패시터 형성 방법.

청구항 2. 제 1 항에 있어서,

상기 Ta_2O_5 막을 형성하는 단계와, 상기 Ta_2O_5 막을 TaO_xN_y 막으로 전이시키는 단계와, 상기 유전막을 형성하는 단계는 동일한 장치에서 이루어지는 반도체 장치의 캐패시터 형성 방법.

청구항 3. 제 1 항에 있어서,

상기 Ta_2O_5 막을 TaO_xN_y 막으로 전이시키는 단계는,

N_2 또는 NH_3 플라스마를 이용하여 Ta_2O_5 막을 처리하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 4. 제 3 항에 있어서,

상기 N_2 또는 NH_3 가스에 N_2O 가스를 더 포함하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 5. 제 3 항에 있어서,

상기 NH_3 가스의 양은 100 sccm 내지 1 slm인 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 6. 제 4 항 또는 제 5 항에 있어서,

N₂O 가스의 혼합비율은 10 %를 넘지 않는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 7. 제 3 항에 있어서,

상기 플라즈마를 RF(radio frequency), ECR(electron cyclotron resonance) 또는 ICP(inductively coupled plasma) 방법으로 발생시키는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 8. 제 7 항에 있어서,

상기 RF 방법 50 W 내지 500 W의 RF 전력을 10 초 내지 5 분 동안 인가하여 플라즈마를 발생하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 9. 제 3 항에 있어서,

상기 Ta₂O₅막을 TaO₂N₂막으로 전이시키는 단계는,

10 mTorr 내지 10 Torr로 압력에서 실시하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 10. 제 1 항 또는 2 항에 있어서,

상기 하부전극 상에 Ta₂O₅막을 형성하는 단계는,

LPCVD(low pressure chemical vapor deposition), PECVD(plasma enhanced chemical vapor deposition) 또는 스퍼터링(sputtering) 방법으로 형성하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 11. 제 1 항에 있어서,

상기 하부전극 상에 Ta₂O₅막을 형성하는 단계는,

250 °C 내지 750 °C로 기판 온도를 유지하여 형성하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 12. 제 1 항에 있어서,

상기 하부전극 상에 Ta₂O₅막을 형성하는 단계는,

탄탈륨에톡사이드(Ta(C₂H₅O)₅) 액체소스 이용하여 형성하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 13. 제 12 항에 있어서,

상기 하부전극 상에 Ta₂O₅막을 형성하는 단계는,

탄탈륨에톡사이드(Ta(C₂H₅O)₅) 액체소스를 0.002 cc/min 내지 2.5 cc/min의 유속으로 기화기(vaporizer)내에 공급하여 형성하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 14. 제 1 항에 있어서,

상기 하부전극 상에 Ta₂O₅막을 5 Å 내지 50 Å 두께로 형성하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 15. 제 1 항에 있어서,

상기 하부전극 상에 Ta_2O_5 막을 형성하는 단계는,

10 mTorr 내지 10 Torr 압력에서 이루어지는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 16. 제 1 항에 있어서,

상기 하부전극을 폴리실리콘막으로 형성하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 17. 제 1 항에 있어서,

상기 유전막을 Ta_2O_5 , TiO_2 , Nb_2O_5 , ZrO_2 또는 $(Ba, Sr)TiO_3$ 중 어느 하나로 형성하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 18. 제 1 항 또는 제 2 항에 있어서,

상기 유전막을 형성하는 단계 후,

상기 유전막을 N_2O 플라즈마로 처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 19. 제 18 항에 있어서,

상기 유전막을 플라즈마 처리하는 단계 후,

열처리 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 20. 제 18 항에 있어서,

상기 N_2O 의 양은 100 sccm 내지 10slm인 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 21. 제 18 항에 있어서,

상기 유전막을 5분 내지 20분 동안 플라즈마 처리하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 22. 제 19 항에 있어서,

상기 열처리 단계는 산소 분위기에서 실시하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 23. 제 22 항에 있어서,

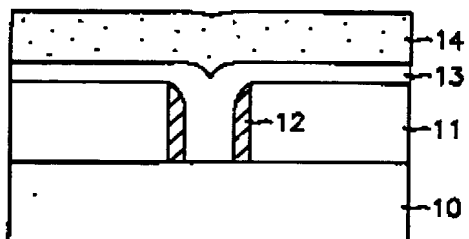
상기 산소의 양은 100 sccm 내지 10 slm인 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

청구항 24. 제 22 항에 있어서,

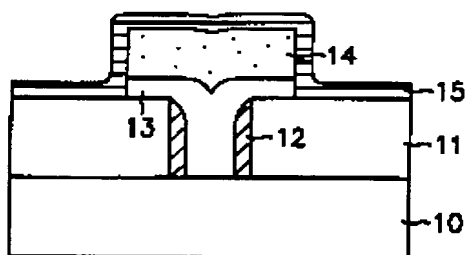
상기 열처리 단계는 10분 내지 60분 동안 실시하는 것을 특징으로 하는 반도체 장치의 캐패시터 형성 방법.

도면

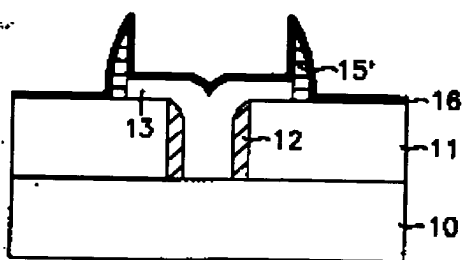
도면 1



도면 2



도면 3



도면4

